

(11)Publication number : 63-254765
(43)Date of publication of application : 21.10.1988

(51)Int.Cl.

H01L 27/14
H04N 5/335

(21)Application number : 62-089606

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 12.04.1987

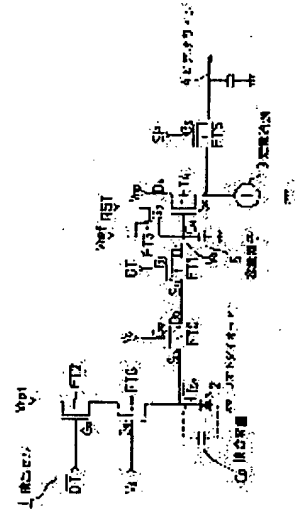
(72)Inventor : MIZUNO SEIICHIRO
KYOMASU MIKIO

(54) SOLID-STATE IMAGE SENSING ELEMENT

(57)Abstract:

PURPOSE: To obtain a solid-state image sensing element, which has high sensitivity optoelectronic transducer characteristics without distortion and can be read again, by providing a transistor, which cuts off the effect of the junction capacitance of a photodiode on the voltage value of the terminal of a capacitor element and applies a substantial voltage to the photodiode, in a detecting cell having a structure, which can be read again.

CONSTITUTION: A transistor FT0 is provided between a photodiode 2 and a switching element FT1 in a detecting cell 1. The transistor FT0 cuts off the effect of a junction capacitance CD of the photodiode on a terminal voltage value V0 of a capacitor element 5. A Switching element FT2, by which a photocurrent generated at a time other than an information storing period is made to flow to the outside, is connected to the photodiode 2 through a transistor FT6. A voltage VG, which is similar to a voltage at a gate G0 of the transistor FT0, is applied to a gate G6 of the transistor FT6. Since the transistor FT0, which is operated in a saturated region, is provided, the voltage applied to the photodiode 2 is kept constant even if the terminal voltage V0 is varied.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-254765

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)10月21日

H 01 L 27/14
H 04 N 5/335

A-7525-5F
A-8420-5C

審査請求 未請求 発明の枚 1 (全9頁)

⑭ 発明の名称 固体撮像素子

⑮ 特 願 昭62-89606

⑯ 出 願 昭62(1987)4月12日

⑰ 発 明 者 水 野 誠 一 郎 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

⑱ 発 明 者 京 増 幹 雄 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

⑲ 出 願 人 浜松ホトニクス株式会社 静岡県浜松市市野町1126番地の1 社

⑳ 代 理 人 弁理士 植本 雅治

明 細 書

1. 発明の名称

固体撮像素子

2. 特許請求の範囲

1) 光が入射するフォトダイオードと、容量素子と、フォトダイオードと容量素子とを情報蓄積期間中導通状態にするスイッチング素子と、容量素子の端子電圧値に対するフォトダイオードの接合容量の影響を遮断しフォトダイオードに実質的な印加電圧を加えるためのトランジスタと、容量素子の端子電圧値を固素情報として出力させる電流増幅回路とを有する撮像素子を備えていることを特徴とする固体撮像素子。

2) 前記トランジスタは、MOSトランジスタからなり、前記トランジスタのゲートには該トランジスタを飽和領域で作動させるに必要な一定の電圧が印加されることを特徴とする特許請求の範囲第1項に記載の固体撮像素子。

3) 前記MOSトランジスタは、エンハンスメント形のものであることを特徴とする特許請求の範囲第2項に記載の固体撮像素子。

4) 前記MOSトランジスタは、チャネル領域に不純物がドーパされておらず、実用上の使用範囲全てにわたって飽和領域で安定してドレイン電流を流す構造のものであることを特徴とする特許請求の範囲第2項に記載の固体撮像素子。

5) 前記トランジスタおよび前記スイッチング素子は、NチャネルのMOSトランジスタであり、前記トランジスタのソースはフォトダイオードに接続され、前記スイッチング素子のドレインは前記容量素子に接続され、前記トランジスタのドレインと前記スイッチング素子のソースは互いに接続されていることを特徴とする特許請求の範囲第1項に記載の固体撮像素子。

6) 前記トランジスタのゲートと前記スイッチング素子のゲートとは、一部が2層の多結晶シリコンによって互いに間隔をへだてて重なり合っていることを特徴とする特許請求の範囲第5項に記載

の固体撮像素子。

7) 前記トランジスタおよび前記スイッチング素子は、NチャネルのMOSトランジスタであり、前記トランジスタのドレインは前記容量素子に接続され、前記スイッチング素子のソースは前記フォトダイオードに接続され、前記トランジスタのソースと前記スイッチング素子のドレインは互いに接続されていることを特徴とする特許請求の範囲第1項に記載の固体撮像素子。

8) 前記フォトダイオードには、電荷蓄積期間外にも、フォトダイオードの端子電圧を低いレベルにクランプするためのトランジスタが接続されていることを特徴とする特許請求の範囲第1項に記載の固体撮像素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、カメラなどに利用される固体撮像素子に関し、特に再度読み出し可能に画素情報を記憶保持する型式の固体撮像素子に関する。

増幅回路PT4の出力端子は、スイッチング素子FT5を介してビデオライン4に接続されている。またフォトダイオード2には、情報蓄積期間外に発生する光電流を外部に、例えば基準電位 V_{ref} を与える電路に、流すためのスイッチング素子FT2が接続されている。

スイッチング素子FT1、FT2、FT3、FT5、電流増幅回路PT4を、例えばNチャネルのMOSトランジスタで構成する場合、スイッチング素子FT1としてのMOSトランジスタのゲート G_1 には、情報蓄積期間中、情報蓄積信号DTが加わり、スイッチング素子FT2としてのMOSトランジスタのゲート G_2 には、情報蓄積期間外に情報蓄積信号DTを反転した信号 \overline{DT} が加わるようになっている。またスイッチング素子FT3としてのMOSトランジスタのゲート G_3 には、容量素子5の端子電圧値 V_0 を基準電位 V_{ref} に初期設定するためのリセット信号RSTが加わるようになっている。電流増幅回路PT4

(従来の技術)

従来、カメラなどに利用される固体撮像素子として、MOS型あるいはCCD型の光電変換素子が知られている。この種の固体撮像素子は、同じ構造をした一次元または二次元配列の複数の撮像素子からなっており、各撮像素子は画素の情報を画像するようにになっている。

第5図は、再度読み出し可能に画素情報を記憶保持する固体撮像素子の撮像素子の構成図である。

第5図において撮像素子50は、入射光強度に応じた光電流 I_{ph} を発生するフォトダイオード2と、フォトダイオード2の受光量(光電流 $I_{ph} \times$ 時間 t)を画素情報として蓄積する容量素子5と、フォトダイオード2と容量素子5とを情報蓄積期間中導通状態にするスイッチング素子FT1と、容量素子5の端子電圧値 V_0 を画素情報として出力させる電流増幅回路PT4とを備えている。さらに容量素子5には、情報蓄積開始前にこの端子電圧値 V_0 を所定の基準電位 V_{ref} に初期設定するためのスイッチング素子FT3が接続され、電

としてのMOSトランジスタのゲート G_4 には容量素子5が接続され、ドレイン D_4 には一定電圧 V_{DD} が印加され、ソース S_4 にはこのMOSトランジスタに常に一定のドレイン電流を流すための定電流源3が接続されている。さらにスイッチング素子FT5としてのMOSトランジスタのゲート G_5 には、容量素子5の端子電圧値 V_0 を電流増幅回路PT4のソース S_4 から画素情報としてビデオライン4に出力させるための検出信号SPが加わるようになっている。

このような構成の撮像素子50では、容量素子5に画素情報を蓄積するに先立ち、容量素子5の端子電圧値 V_0 を基準電位 V_{ref} に初期設定するためスイッチング素子FT3としてのMOSトランジスタのゲート G_3 にリセット信号RSTを加えて、ゲート G_3 の電圧をハイレベルにし、スイッチング素子FT3をオンにする。容量素子5の端子電圧値 V_0 を基準電位 V_{ref} に初期設定した後、リセット信号RSTをオフにして、フォトダイオード2の受光量を容量素子5の端子電圧値

V_0 として情報蓄積させる動作を開始する。この情報蓄積動作は、スイッチング素子FT1としてのMOSトランジスタのゲート G_1 に情報蓄積信号DTを加えることによって行なわれる。なお情報蓄積信号DTを加えている期間が情報蓄積期間となる。情報蓄積期間中は、スイッチング素子FT2のゲート G_2 に情報蓄積信号DTを反転した信号DTが加わるので、光電流 I_{SH} はスイッチング素子FT2を介して外部に流れ、ブルーミングを防止することができる。情報蓄積期間中は、ゲート G_1 の電圧がハイレベルとなってスイッチング素子FT1がオンになる。これによって、フォトトランジスタ2とスイッチング素子FT1と容量素子5との間には閉回路が形成されるので、入射光強度に応じてフォトダイオード2内に発生した光電流 I_{SH} は、この閉回路を流れ、容量素子5の端子電圧 V_0 は、第6図に符号A1で示すように受光量 $I_{SH} \cdot t$ に比例して情報蓄積期間終了まで下がり続ける。すなわち端子電圧 V_0 は、

受光量 $I_{SH} \cdot t$ に比例して、

$$V_0 = V_{ref} - I_{SH} \cdot t / (C_1 + C_0) \quad \dots (1)$$

のように下がる。ここで、 t は情報蓄積開始時からの経過時間、 I_{SH} は受光量、 C_1 は容量素子5の容量、 C_0 はフォトダイオード2に付随する接合容量である。情報蓄積期間終了から所定の時間が経過し、情報蓄積期間が終了すると、そのときの(1)式で与えられる容量素子5の端子電圧 V_0 が画素情報となる。容量素子5に蓄積されている電荷は、電流増幅回路FT4の入カインピーダンスが大きいためビデオライン4側に漏洩することがないので、情報蓄積期間終了時の端子電圧 V_0 は、スイッチング素子FT3のゲート G_3 に再度リセット信号RSTが加わるまで記憶保持される。

容量素子5に記憶保持されている端子電圧 V_0 。すなわち画素情報をビデオライン4に送出すために、スイッチング素子FT5としてのMOS

トランジスタのゲート G_5 に読出信号SPを加え、ゲート G_5 の電圧をハイレベルにしてスイッチング素子FT5をオンにする。これによって電流増幅回路FT4のソース S_4 とビデオライン4とは導通状態となり、電流増幅回路FT4のソース S_4 からのインピーダンス変換された画素情報はビデオライン4に送られる。容量素子5の端子は電流増幅回路FT4のゲート G_4 に接続されているのでスイッチング素子FT5をオンにして画素情報の送出しを行っても、容量素子5に蓄積されている電荷は電流増幅回路FT4からビデオライン4に流れず、これにより容量素子5の端子電圧 V_0 を変動させずに送出し前の状態に記憶保持することができる。

(発明が解決しようとする問題点)

このように第5図に示す固体撮像素子の検出セル50では、情報蓄積期間中、容量素子5の端子電圧 V_0 を第6図に符号A1で示すように受光量に比例して減少させ、情報蓄積期間終了時点で

おける容量素子5の端子電圧 V_0 。(1)式参照)を画素情報として記憶保持するようになっている。

ところで、このような固体撮像素子への入射光は一般にレンズ、ミラーなどで構成されている光学系を介して入射するので、その強度は弱くなっており、従って、固体撮像素子の検出セルは高感度のものであるのが望ましい。第5図に示す固体撮像素子の検出セル50の感度を向上させるためには、第6図に符号A2で示すように受光量 I_{SH} に対する容量素子5の端子電圧 V_0 の変化率を一層大きくさせる必要がある。受光量に対する端子電圧 V_0 の変化率を大きくさせ検出セル50の光感度特性を向上させるには、(1)式からわかるようにフォトダイオード2の面積を大きくして光電流 I_{SH} を大きくし、また容量素子5の容量 C_1 を小さくすれば良い。

しかしながら、フォトダイオード2の接合容量 C_0 はフォトダイオード2の周囲長に比例するので、光電流 I_{SH} を大きくするためにフォトダイオ

ード2の面積を大きくすると、接合容量 C_0 が大きくなる。さらに容量素子5の容量 C_1 を小さくすると、(1)式において接合容量 C_0 の端子電圧値 V_0 への影響が大きくなる。

一方、接合容量 C_0 は、

$$C_0 = \alpha \cdot \sqrt{1/(V + V_0)} \quad \dots\dots(2)$$

のように、フォトダイオード2のアノード・カソード間の電圧値によって変化する。ここで α は比例定数、 V_0 はビルトインポテンシャル、 V はフォトダイオード2への印加電圧であり、この印加電圧 V は第5図の構成では容量素子5の端子電圧値 V_0 となる。

従って、検出セル50の高感度化を図るに際し、フォトダイオード2の面積を大きくし、容量素子5の容量 C_1 を小さくすると、(1)式および(2)式から端子電圧値 V_0 は、近似的に

$$V_0 \approx V_{ref} - [35 \cdot t \cdot \sqrt{V_0 + V_0}] / \alpha \quad \dots\dots(3)$$

として表わされる。(3)式においてビルトインポ

と、容量素子の端子電圧値に対するフォトダイオードの接合容量の影響を遮断しフォトダイオードに実質的な印加電圧を加えるためのトランジスタと、容量素子の端子電圧値を面素情報として出力させる電流増幅回路とを有する検出セルを備えていることを特徴とする固体撮像素子によって、従来技術の問題点を改善するものである。

〔作用〕

本発明では、検出セルの容量素子の端子電圧値を予の初期設定しておく。情報蓄積期間中は、スイッチング素子によってフォトダイオードと容量素子とが導通状態となる。これによりフォトダイオードに入射した光の入射光強度に応じた光電流が容量素子からフォトダイオードに向かって流れ、容量素子の端子電圧値は時間すなわち受光量とともに減少する。ところで、本発明では容量素子の端子電圧値がフォトダイオードの直接の印加電圧とならないようにするためのトランジスタが設けられている。

このトランジスタは、容量素子の端子電圧値に

テンシャル V_0 は端子電圧値 V_0 に比べて小さいものである。受光量 $I_{ph} \cdot t$ と端子電圧値 V_0 との関係は、第6図に符号A2で示すような理想的な線形関係ではなく、実際には第6図に符号A3で示すような非線形のものとなる。

このように、第5図に示す構造の検出セル50では、高感度化を図るために、フォトダイオード2の面積を大きくした容量素子5の容量 C_1 を小さくしようとすると、フォトダイオード2の接合容量 C_0 が容量素子5の端子電圧値 V_0 に大きく影響するようになり、光電変換特性を歪めるといった問題があった。

本発明は、歪みのない高感度な光電変換特性を得ることのできる高感度可能な構造の検出セルをもつ固体撮像素子を提供することを目的としている。

〔問題点を解決するための手段〕

本発明は、光が入射するフォトダイオードと、容量素子と、フォトダイオードと容量素子とを情報蓄積期間中導通状態にするスイッチング素子

に対するフォトダイオードの接合容量の影響を遮断し、フォトダイオードに実質的な印加電圧を加えるようになっている。これによって、容量素子の端子電圧値は、例えば高感度化を図るためフォトダイオードの面積を大きくしてフォトダイオードの接合容量が大きくなった場合でも、情報蓄積期間中、接合容量の影響を受けずに線形的に減少する。情報蓄積期間が終了した時点の容量素子の端子電圧値が面素情報として記憶保持され、この端子電圧値は電流増幅回路によって面素情報として出力される。なお電流増幅回路によって出力された後も、容量素子の端子電圧値は記憶保持されている。

〔実施例〕

以下、本発明の実施例を図面に基づいて説明する。

第1図は本発明に係る固体撮像素子の検出セルの実施例の構成図である。第1図において第5図と同様の箇所には同じ符号を付して説明を省略する。

第1図の検出セル1では、第5図の検出セル50と比べれば明かなように、フォトダイオード2と、スイッチング素子FT1との間にさらにトランジスタFT0が設けられている。このトランジスタFT0は、フォトダイオード2の接合容量 C_j が容量素子5の端子電圧 V_0 に及ぼす影響を遮断するために設けられたものであり、例えばNチャネルのMOSトランジスタが用いられている。

第2図は、スイッチング素子FT1およびトランジスタFT0の構成図である。第2図において、スイッチング素子FT1およびトランジスタFT0はともにNチャネルのMOSトランジスタであって、同一のP型半導体基板10上に形成されている。スイッチング素子FT1のソース S_1 はトランジスタFT0のドレイン D_0 と共通になっている。スイッチング素子FT1のゲート G_1 とドレイン D_1 、ソース S_1 とはセルフアラインメント構造になっており、またトランジスタFT0の

ゲート G_0 とドレイン D_0 、ソース S_0 もセルフアラインメント構造になっている。これによって、これらのゲート G_1 、 G_0 とドレイン D_1 、 D_0 、ソース S_1 、 S_0 との間の寄生容量の発生を有効に防止している。

トランジスタFT0のドレイン D_0 には、スイッチング素子FT1がオンのときに容量素子5の端子電圧 V_0 が印加される。また使用に際し、トランジスタFT0のゲート G_0 には一定の直流バイアス電圧 V_G が印加されている。

第3図はゲート電圧 V_G をパラメータとして変化させたときの一般的なMOSトランジスタのドレイン電圧 V_D とドレイン電流 I_D の出力特性を示したものである。なおMOSトランジスタがエンハンスメント形のものであるとすると、MOS閾値電圧 V_{TH} が存在するので、実質的なゲート電圧は $(V_G - V_{TH})$ となる。

第3図において、ドレイン電圧 V_D が実質的なゲート電圧 $(V_G - V_{TH})$ よりも小さいときには

出力特性は線形となる一方、ドレイン電圧 V_D が実質的なゲート電圧 $(V_G - V_{TH})$ よりも大きいときには、出力特性が飽和する。この飽和領域では、ドレイン電流 I_D は実質的なゲート電圧 $(V_G - V_{TH})$ に依存して変化するが、ドレイン電圧 V_D には依存しない。

第1図のトランジスタFT0は、第3図に示すような出力特性をもつMOSトランジスタであるので、ドレイン電圧 V_D は、情報蓄積期間中すなわちスイッチング素子FT1がオンのときには、容量素子5の端子電圧 V_0 となり、またドレイン電流 I_D は光電流 I_{3H} となる。トランジスタFT0を飽和領域で使用する場合、すなわちゲート G_0 の印加電圧 V_G が端子電圧 V_0 に対して、 $V_G - V_{TH} < V_0$ ……(4)の関係を満たす場合には、フォトダイオード2は見かけ上、容量素子5の端子電圧 V_0 によって駆動されるのではなく、ゲート G_0 の電圧 V_G によって駆動されるものとみなされる。

より具体的には、入射光強度に比例して減る

フォトダイオード2の電流 I_{3H} は、情報蓄積期間中、スイッチング素子FT1、トランジスタFT0を介して容量素子5から電荷を取り出す定電流源として機能し、容量素子5の端子電圧 V_0 を減少させるが、フォトダイオード2への印加電圧は、容量素子5の端子電圧 V_0 ではなく、トランジスタFT0のソース S_0 の電圧 V_{p0} と、ゲート G_0 の電圧 V_G とによって定まる。すなわち、トランジスタFT0のソース S_0 の電圧 V_{p0} は、

$$V_{p0} = (V_G - V_{TH}) - \sqrt{2 \cdot I_{3H} \cdot L / (W \cdot \mu)} \quad \dots\dots(5)$$

として表わされ、光電流 I_{3H} はゲート G_0 の実質的な電圧 $(V_G - V_{TH})$ とソース S_0 の電圧 V_{p0} とによって減るようになっている。なお(5)式において、 L 、 W はそれぞれトランジスタFT0のチャネル長、チャネル幅、 μ は基本増幅率である。

このように容量素子5の端子電圧 V_0 は、フォトダイオード2による光電流 I_{3H} によって減少す

るものの、フォトダイオード2が一定の電圧 V_{pg} 、 V_g によって駆動されているとみなされることにより、フォトダイオード2の結合容量 C_0 には電圧が渡れず、フォトダイオード2の結合容量 C_0 の端子電圧値 V_0 への影響をなくすることができる。

また第1図の検出セル1を第5図の検出セル50と比べると、第1図の検出セル1では、情報蓄積期間外に発生する光電流を外部に流すためのスイッチング素子F T 2は、トランジスタF T 6を介してフォトダイオード2に接続されている。このトランジスタF T 6のゲート G_6 には、トランジスタF T 0のゲート G_0 と同様の電圧 V_g が印加されるようになっており、これにより電荷蓄積期間以外もフォトダイオード2の端子電圧を低いレベルにクランプし、スイッチング素子F T 1がオンとなった瞬間にすぐに電荷蓄積動作に移行できるようになっている。

このような構成の検出セル1では、容量素子5に画素情報を蓄積するに先立ち、スイッチング素子F T 3にリセット信号R S Tを加えスイッチン

グ素子F T 3をオンにして容量素子5の端子電圧値 V_0 を基準電位 V_{ref} に初期設定する。またトランジスタF T 0のゲート G_0 の印加電圧 V_g を、情報蓄積期間の終了時に予想される端子電圧値 V_0 に対して(4)式の間隔を満たすように設定する。

しかる後に、スイッチング素子F T 1に情報蓄積信号D Tを加えスイッチング素子F T 1をオンにして容量素子5への画素情報の蓄積を開始する。情報蓄積期間中、入射光強度に応じてフォトダイオード2に発生する光電流 I_{SH} は、容量素子5に蓄積されていた電荷を取り出し、容量素子5の端子電圧値 V_0 を基準電位 V_{ref} から減少させる。

ところで本実施例では飽和領域で動作するトランジスタF T 0を設けているので、前述のように端子電圧値 V_0 が変化してもフォトダイオード2の印加電圧は一定に保持される。これによって結合容量 C_0 には電圧が渡れず結合容量 C_0 の影響を遮断することができる。すなわち容量素子5の

端子電圧値 V_0 は、情報蓄積期間中、

$$V_0 = V_{ref} - I_{SH} \cdot t / C_f \quad \dots (5)$$

のように結合容量 C_0 の影響を受けずに、光電流 I_{SH} と容量素子5の容量 C_f とだけによって時間とすなわち受光量 $I_{SH} \cdot t$ とともに線形に変化する。受光量 $I_{SH} \cdot t$ と端子電圧値 V_0 との(4)式に示す比例関係は、フォトダイオードの間隔を大きくし結合容量 C_0 が大きくなったとしても変わらないので、歪みのない高感度の光電変換特性を得ることができる。

このようにして、情報蓄積期間中、容量素子5の端子電圧値 V_0 として画素情報を蓄積させた後、情報蓄積信号D Tをオフにして、情報蓄積期間終了時の端子電圧値 V_0 を画素情報として記憶保持させることができる。

また情報蓄積期間外は、スイッチング素子F T 2のゲート G_2 に情報蓄積信号D Tを反転した信号 $\overline{D T}$ を加えて、光電流 I_{SH} を外部に流しブルッキングを防止する一方、トランジスタF T 6のゲ

ート G_6 に電圧 V_g を印加してフォトダイオード2の端子電圧を低いレベルにクランプし、スイッチング素子F T 1がオンとなった瞬間にすぐに電荷蓄積動作に移行させることができる。

上述の例では、トランジスタF T 0はNチャネルのエンハンスメント形MOSトランジスタであり、半導体基板すなわちチャネル領域にはp型の不純物が所定の濃度でドーパされているので、MOS閥値電圧 V_{TH} が存在する。ところで、チャネル領域の不純物濃度を変えることによりMOS閥値電圧 V_{TH} の大きさを制御することができる。例えば不純物濃度を低くするとMOS閥値電圧 V_{TH} は小さくなるので、これによって(4)式からゲート G_0 の電圧 V_g をさらに低くして容量素子5の端子電圧値 V_0 の動作範囲を広くすることができる。例えばチャネル領域に不純物がドーパされていない状態(ノンエンハンスメント形)にすると、端子電圧値 V_0 の動作範囲を最も大きくすることができ、実用上の使用範囲全てにわたって飽和状態で安定してドレイン電流を流すことができる。

また上述の例では、フォトダイオード2の面積を大きくしても、歪みのない高感度な特性を得ることが可能となるが、フォトダイオードの面積が大きくなるに伴ない暗電流が増大し、 S/N 比を低下させることになる。従って、フォトダイオードの面積を至程大きくすることはできず、(5)式からわかるように、容量素子5の容量 C_1 を小さくすることにより高感度でかつ S/N 比の良い特性を得るようにする必要がある。

しかしながら、容量素子5の容量を小さくすることに伴ない、回路系の寄生容量が問題となる。特に第1図に示す検出セル1では、第2図に示したように、スイッチング素子FT1、トランジスタFT0のゲート G_1 、 G_0 とドレイン D_1 、 D_0 、ソース S_1 、 S_0 との間の寄生容量を防止することはできるものの、互いに共通のドレイン D_0 、ソース S_1 とp型半導体基板10との間の結合容量が問題となる。

第4図は、このような結合容量に基づく寄生容量を防止するためのスイッチング素子FT1とト

ランジスタFT0との接続状態を示す図である。第4図においてトランジスタFT1のゲート G_1 とトランジスタFT0のゲート G_0 とは2層の多結晶シリコン層11、12によって一部が互いに重なり合っている。

このような構造にすることによって、結合容量に基づく寄生容量を防止し、容量素子5の容量 C_1 に対する寄生容量の影響を少なくすることができる。

また、第1図に示す構造の検出セル1では、スイッチング素子FT1のゲート G_1 に加わる情報信号D1Tのオン・オフによってスイッチングノイズの発生する恐れがある。スイッチングノイズを生じさせないようにするためには、第1図および第2図においてスイッチング素子FT1とトランジスタFT0との接続を入れかえれば良い。すなわち、フォトダイオード2にスイッチング素子FT1のソース S_1 を接続し、容量素子5にトランジスタFT0のドレイン D_0 を接続し、スイ

ッチング素子FT1のドレイン D_1 とトランジスタFT0のソース S_0 とを接続すれば良い。このように接続すると、スイッチング素子FT1の動作電圧はトランジスタFT0のゲート電圧 V_g 以下となるため、スイッチング素子FT1のゲート G_1 に加わる情報信号D1Tの振幅レベルを小さくすることができ、これによりスイッチングノイズを低減することができる。

さらにスイッチング素子FT3のスイッチングノイズに対しては、スイッチング素子FT3にダミートランジスタ(図示せず)を接続することによって、結合容量を見かけ上小さくし、スイッチング素子FT3のスイッチングノイズを低減することができる。

このように上述した実施例によれば、歪みのない高感度な光電変換特性を有することができると同時に、 S/N 比の良い固体撮像素子の検出セルを得ることができる。

(発明の効果)

以上に説明したように、本発明によれば、容量

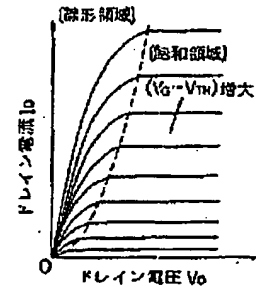
素子の端子電圧値に対するフォトダイオードの結合容量の影響を遮断しフォトダイオードに実質的な印加電圧を与えるトランジスタを両直検出可能な構造の検出セルにさらに設けているので、歪みのない高感度な光電変換特性をもつ両直検出可能な固体撮像素子を得ることができる。

4. 図面の簡単な説明

第1図は本発明に係る固体撮像素子の検出セルの実施例の構成図、第2図は第1図に示す検出セルのスイッチング素子FT1とトランジスタFT0との接続状態を説明するための図、第3図は一般的なMOSトランジスタの特性を示す図、第4図は第2図に示すスイッチング素子FT1とトランジスタFT0との接続状態の実施例を示す図、第5図は従来の固体撮像素子の検出セルの構成図、第6図は受光量に対する端子電圧値の変化を示す図である。

1…検出セル、2…フォトダイオード、
5…容量素子、10…p型半導体基板、

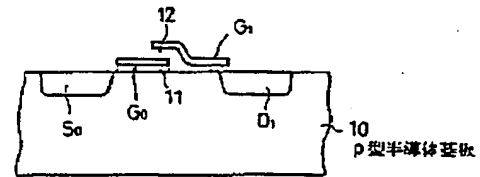
第 3 図



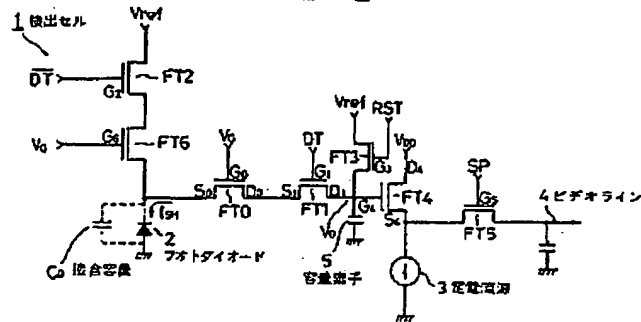
11, 12...多結晶シリコン、
 PT0, FT6...トランジスタ、
 PT1, FT2, FT3, FT5...スイッチング
 素子、P4...電流増幅回路、 V_0 ...結合容量、
 C_1 ...容量、DT...情報蓄積信号、
 V_g ...ゲート電圧、 V_0 ...端子電圧値、
 V_{ref} ...基準電位、
 S_0, S_1 ...ソース、 G_0, G_1, G_6 ...ゲート、
 D_0, D_1 ...ドレイン

特許出願人 浜松ホトニクス株式会社
 代理人 弁護士 堀 本 雅 治

第 4 図



第 1 図



第 2 図

